

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-315923  
 (43)Date of publication of application : 14.11.2000

(51)Int.Cl. H03F 3/08  
 H03F 1/32  
 H03G 3/20  
 H03G 3/30  
 H04B 10/28  
 H04B 10/26  
 H04B 10/14  
 H04B 10/04  
 H04B 10/06

(21)Application number : 11-123890  
 (22)Date of filing : 30.04.1999

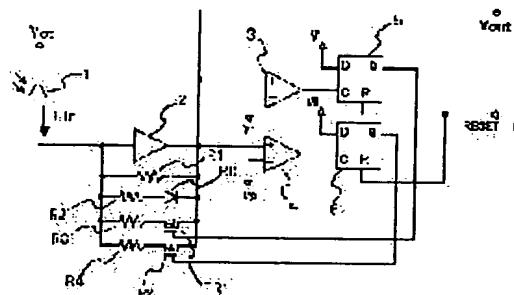
(71)Applicant : NEC CORP  
 (72)Inventor : YANAGISAWA HIROKI

## (54) BURST LIGHT RECEIVING CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent generation of waveform distortion in an outputted signal even when a power level of an inputted light signal is large by turning at least one of two transistors on according to a value of the outputted signal of a transformer impedance amplifier.

**SOLUTION:** When an inputted current  $I_{in}$  becomes higher than a second reference current, the outputted voltage  $V_{out}$  of the transformer impedance amplifier 2 exceeds a second reference voltage  $V_2$  and the output of a second comparator 4 becomes a high level. In accordance with this, the Q terminal of a second flip-flop circuit 6 changes to a high level as well and a third MOS transistor TR2 becomes an ON state. Thus, the feedback resistor of the transformer impedance amplifier 2 becomes equivalent to the parallel resistor of a first feedback resistor R1, a second feedback resistor R3 and a third feedback resistor R4. Such operation is performed for the initial one bit after the reset signal is inputted in respective R terminals of the first and second flip-flop circuits 5, 6.



## LEGAL STATUS

[Date of request for examination] 24.03.2000  
 [Date of sending the examiner's decision of rejection] 27.06.2003  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-315923

(P 2 0 0 0 - 3 1 5 9 2 3 A)

(43)公開日 平成12年11月14日(2000.11.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H03F 3/08		H03F 3/08	5J090
1/32		1/32	5J092
H03G 3/20		H03G 3/20	D 5J100
3/30		3/30	B 5K002
H04B 10/28		H04B 9/00	Y

審査請求 有 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願平11-123890

(22)出願日 平成11年4月30日(1999.4.30)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 柳沢 宏樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096105

弁理士 天野 広

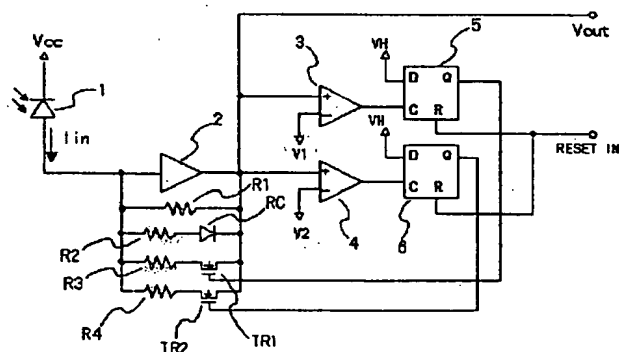
最終頁に続く

(54)【発明の名称】 バースト光受信回路

(57)【要約】

【課題】 バースト光受信回路に入力される光信号のパワーレベルが大きい場合であっても、出力信号に波形歪みが発生しないようにする。

【解決手段】 トランスインピーダンスアンプ2に並列に複数の帰還抵抗R1、R2、R3を接続させ、帰還抵抗R2、R3にはトランジスタTR1、TR2をそれぞれ直列に接続させる。コンパレータ3、4及びフリップ・フロップ回路5、6によって、入力光信号のパワーレベルに応じて、トランジスタTR1、TR2をオン・オフ制御し、トランスインピーダンスアンプ2に対する総帰還抵抗をR1、R1とR3との並列抵抗、R1とR3とR4との並列抵抗の3値の間で切り替える。



- |                   |                   |
|-------------------|-------------------|
| 1: 受光素子           | R1: 第一の帰還抵抗       |
| 2: トランスインピーダンスアンプ | R2: 第二の帰還抵抗       |
| 3: 第一のコンパレータ      | R3: 第三の帰還抵抗       |
| 4: 第二のコンパレータ      | R4: 第四の帰還抵抗       |
| 5: 第一のフリップ・フロップ回路 | TR1: 第二のMOSトランジスタ |
| 6: 第二のフリップ・フロップ回路 | TR2: 第三のMOSトランジスタ |

## 【特許請求の範囲】

【請求項 1】 受信した光信号を電流に変換する受光素子と、

前記電流を電圧信号に変換するトランスインピーダンスアンプと、

前記トランスインピーダンスアンプに並列に接続された第一の帰還抵抗と、

前記トランスインピーダンスアンプに並列に接続されたダイオードと、

前記トランスインピーダンスアンプに並列に接続されて 10 いる第二の帰還抵抗と、

前記第二の帰還抵抗に直列に接続されている第二のトランジスタと、

前記トランスインピーダンスアンプに並列に接続されている第三の帰還抵抗と、

前記第三の帰還抵抗に直列に接続されている第三のトランジスタと、

前記トランスインピーダンスアンプの出力信号の値に応じて前記第二又は第三のトランジスタのうちの少なくとも 1 個をオンとするオン・オフ切替手段と、  
を備えるバースト光受信回路。

【請求項 2】 前記オン・オフ切替手段は、  
前記トランスインピーダンスアンプの出力信号と第一の基準電圧とを比較する第一のコンパレータと、  
前記トランスインピーダンスアンプの出力信号と第二の基準電圧とを比較する第二のコンパレータと、  
前記第一のコンパレータの出力に応じて前記第二のトランジスタをオン・オフする第一の制御回路と、  
前記第二のコンパレータの出力に応じて前記第三のトランジスタをオン・オフする第二の制御回路と、  
からなるものであることを特徴とする請求項 1 に記載のバースト光受信回路。

【請求項 3】 受信した光信号を電流に変換する受光素子と、  
前記電流を電圧信号に変換するトランスインピーダンスアンプと、  
前記トランスインピーダンスアンプに並列に接続された第一の帰還抵抗と、  
前記トランスインピーダンスアンプに並列に接続されたダイオードと、  
前記トランスインピーダンスアンプに並列に接続されている第二の帰還抵抗と、  
前記第二の帰還抵抗に直列に接続されている第二のトランジスタと、  
前記トランスインピーダンスアンプにそれぞれ並列に接続されている第三の帰還抵抗と、  
前記第三の帰還抵抗に直列に接続されている第三のトランジスタと、  
前記トランスインピーダンスアンプに並列に接続されている第四の帰還抵抗と、

前記第四の帰還抵抗に直列に接続されている第四のトランジスタと、

前記トランスインピーダンスアンプの出力信号の値に応じて前記第二乃至第四のトランジスタのうちの少なくとも 1 個をオンとするオン・オフ切替手段と、  
を備えるバースト光受信回路。

【請求項 4】 前記オン・オフ切替手段は、  
前記トランスインピーダンスアンプの出力信号と第一の基準電圧とを比較する第一のコンパレータと、  
前記トランスインピーダンスアンプの出力信号と第二の基準電圧とを比較する第二のコンパレータと、  
前記トランスインピーダンスアンプの出力信号と第三の基準電圧とを比較する第三のコンパレータと、  
前記第一のコンパレータの出力に応じて前記第二のトランジスタをオン・オフする第一の制御回路と、  
前記第二のコンパレータの出力に応じて前記第三のトランジスタをオン・オフする第二の制御回路と、  
前記第三のコンパレータの出力に応じて前記第四のトランジスタをオン・オフする第三の制御回路と、  
からなるものであることを特徴とする請求項 3 に記載のバースト光受信回路。

【請求項 5】 受信した光信号を電流に変換する受光素子と、  
前記電流を電圧信号に変換するトランスインピーダンスアンプと、  
前記トランスインピーダンスアンプに並列に接続された第一の帰還抵抗と、  
前記トランスインピーダンスアンプに並列に接続されたダイオードと、  
前記トランスインピーダンスアンプにそれぞれ並列に接続されている第二乃至第 N の帰還抵抗 (N は 2 以上の正の整数) と、  
前記第二乃至第 N の帰還抵抗の各々に直列に接続されている第二乃至第 N のトランジスタと、  
前記トランスインピーダンスアンプの出力信号の値に応じて前記第二乃至第 N のトランジスタのうちの少なくとも 1 個をオンとするオン・オフ切替手段と、  
を備えるバースト光受信回路。

【請求項 6】 前記オン・オフ切替手段は、  
前記トランスインピーダンスアンプの出力信号と各基準電圧とを比較する (N-1) 個のコンパレータと、  
前記コンパレータの出力に応じて前記第二乃至第 N のトランジスタのうちの対応するトランジスタをオン・オフする (N-1) 個の制御回路と、  
からなるものであることを特徴とする請求項 5 に記載のバースト光受信回路。

【請求項 7】 前記制御回路はフリップ・フロップ回路であることを特徴とする請求項 1 乃至 6 の何れか一項に記載のバースト光受信回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はバースト光受信回路に関し、特に、入力された光信号に応じて、トランスインピーダンスアンプに対する帰還抵抗の値を切り替えることができるバースト光受信回路に関する。

【0002】

【従来の技術】図7に従来のPON (Passive Optical Network) の一例を示す。

【0003】従来のPONシステムにおいては、各加入者21a、21b、21cからの光信号22a、22b、22cは時分割多重され、ある決まったセル単位で局舎23の方向（「上り方向」と呼ぶ）に伝送される。各加入者21a、21b、21cまでの伝送距離はそれぞれ異なるので、上り方向の光信号22a、22b、22cは、パワーレベルの異なるバースト列24となる。

【0004】経済的なPONシステムを構築するためには、近端の加入者から遠端の加入者まで幅広く収容する必要がある。この結果、各バースト信号間のパワーレベル差は大きくなる。

【0005】従って、局舎23に設置されるバースト光受信器（図示せず）は、幅広いダイナミックレンジを有することが要求される。

【0006】図5に、局舎23に設置されるバースト光受信回路の一例を示す。このバースト光受信回路は、受信した光信号を電流に変換する受光素子31と、受光素子31からの電流を電圧信号に変換するトランスインピーダンスアンプ32と、トランスインピーダンスアンプ32に並列に接続された帰還抵抗R1と、トランスインピーダンスアンプ32に並列に接続された抵抗R2と、抵抗R2に直列に接続されているダイオードRCと、からなる。

【0007】この従来のバースト光受信回路においては、大きな光信号が入力されたときには、過剰電流を帰還抵抗R1と並列に接続されているダイオードRCに逃がすことにより、トランスインピーダンスアンプ32への過負荷を防止していた。

【0008】

【発明が解決しようとする課題】しかしながら、この従来のバースト光受信回路においては、トランスインピーダンスアンプ32への入力信号Iinのハイレベル側がリミッティングされるため、図6に示すように、入力される光信号のパワーレベルが大きい場合に、出力信号Voutの波形に歪みが発生するという問題があった。

【0009】入力光信号の消光比劣化などに起因してオフセット電流(Ios)が存在する場合には、特に、波形歪みの影響を受けていた。

【0010】図5に示したバースト光受信回路の他にも多くのバースト光受信回路がこれまでに提案されている。

【0011】例えば、特公平5-48964号公報は、

増幅器と、この増幅器に対して二つの帰還インピーダンス要素と、を備えるバースト光受信回路を提案している。

【0012】また、特開平8-331064号公報及び特開平10-256840号公報は、バースト信号を含む任意パターンの論理信号データに対して、その振幅にかかわらず、入力波形と同じ波形を識別再生することができるバースト光受信回路を提案している。

【0013】しかしながら、これらの公報に提案されているバースト光受信回路は、何れも、図5に示したバースト光受信回路と同様に、出力信号Voutの波形に歪みが発生するという問題を有している。

【0014】本発明は、このような従来のバースト光受信回路における問題点に鑑みてなされたものであり、入力される光信号のパワーレベルが大きい場合であっても、出力信号に波形歪みが発生しないバースト光受信回路を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明は、この目的を達成するため、バースト信号のパワーレベルに応じて、トランスインピーダンスアンプに対する帰還利得を瞬時に切り換えることができるバースト光受信回路を提供する。

【0016】具体的には、本発明は、請求項1において、受信した光信号を電流に変換する受光素子と、電流を電圧信号に変換するトランスインピーダンスアンプと、トランスインピーダンスアンプに並列に接続された第一の帰還抵抗と、トランスインピーダンスアンプに並列に接続されたダイオードと、トランスインピーダンスアンプに並列に接続されている第二の帰還抵抗と、第二の帰還抵抗に直列に接続されている第二のトランジスタと、トランスインピーダンスアンプに並列に接続されている第三の帰還抵抗と、第三の帰還抵抗に直列に接続されている第三のトランジスタと、トランスインピーダンスアンプの出力信号の値に応じて第二又は第三のトランジスタのうちの少なくとも1個をオンとするオン・オフ切替手段と、を備えるバースト光受信回路を提供する。

【0017】オン・オフ切替手段は、請求項2に記載されているように、例えば、トランスインピーダンスアンプの出力信号と第一の基準電圧とを比較する第一のコンパレータと、トランスインピーダンスアンプの出力信号と第二の基準電圧とを比較する第二のコンパレータと、第一のコンパレータの出力に応じて第二のトランジスタをオン・オフする第一の制御回路と、第二のコンパレータの出力に応じて第三のトランジスタをオン・オフする第二の制御回路と、から構成することが可能である。

【0018】また、本発明は、請求項3に記載されているように、受信した光信号を電流に変換する受光素子と、電流を電圧信号に変換するトランスインピーダンスアンプと、トランスインピーダンスアンプに並列に接続

された第一の帰還抵抗と、トランスインピーダンスアンプに並列に接続されたダイオードと、トランスインピーダンスアンプに並列に接続されている第二の帰還抵抗と、第二の帰還抵抗に直列に接続されている第二のトランジスタと、トランスインピーダンスアンプに並列に接続されている第三の帰還抵抗と、第三の帰還抵抗に直列に接続されている第三のトランジスタと、トランスインピーダンスアンプにそれぞれ並列に接続されている第四の帰還抵抗と、第四の帰還抵抗に直列に接続されている第四のトランジスタと、トランスインピーダンスアンプの出力信号の値に応じて第二乃至第四のトランジスタのうちの少なくとも1個をオンとするオン・オフ切替手段と、を備えるバースト光受信回路を提供する。

【0019】このバースト光受信回路におけるオン・オフ切替手段は、例えば、請求項4に記載されているように、トランスインピーダンスアンプの出力信号と第一の基準電圧とを比較する第一のコンパレータと、トランスインピーダンスアンプの出力信号と第二の基準電圧とを比較する第二のコンパレータと、トランスインピーダンスアンプの出力信号と第三の基準電圧とを比較する第三のコンパレータと、第一のコンパレータの出力に応じて第二のトランジスタをオン・オフする第一の制御回路と、第二のコンパレータの出力に応じて第三のトランジスタをオン・オフする第二の制御回路と、第三のコンパレータの出力に応じて第四のトランジスタをオン・オフする第三の制御回路と、から構成することができる。

【0020】また、本発明は、請求項5において、受信した光信号を電流に変換する受光素子と、電流を電圧信号に変換するトランスインピーダンスアンプと、トランスインピーダンスアンプに並列に接続された第一の帰還抵抗と、トランスインピーダンスアンプに並列に接続されたダイオードと、トランスインピーダンスアンプにそれぞれ並列に接続されている第二乃至第Nの帰還抵抗 (Nは2以上の正の整数) と、第二乃至第Nの帰還抵抗の各々に直列に接続されている第二乃至第Nのトランジスタと、トランスインピーダンスアンプの出力信号の値に応じて第二乃至第Nのトランジスタのうちの少なくとも1個をオンとするオン・オフ切替手段と、を備えるバースト光受信回路を提供する。

【0021】このバースト光受信回路におけるオン・オフ切替手段は、例えば、請求項6に記載されているように、トランスインピーダンスアンプの出力信号と各基準電圧とを比較する (N-1) 個のコンパレータと、コンパレータの出力に応じて第二乃至第Nのトランジスタのうちの対応するトランジスタをオン・オフする (N-1) 個の制御回路と、から構成することができる。

【0022】制御回路としては、例えば、請求項7に記載されているように、フリップ・フロップ回路を用いることができる。

【0023】

【発明の実施の形態】 (第一の実施形態) 図1は、本発明の第一の実施形態に係るバースト光受信回路のブロック図である。

【0024】本実施形態に係るバースト光受信回路は、受信した光信号を電流  $I_{in}$  に変換する受光素子1と、電流  $I_{in}$  を電圧信号に変換するトランスインピーダンスアンプ2と、トランスインピーダンスアンプ2に並列に接続された第一の帰還抵抗  $R_1$  と、トランスインピーダンスアンプ2に並列に接続された抵抗  $R_2$  と、抵抗  $R_2$  に直列に接続されたダイオード  $RC$  と、トランスインピーダンスアンプ2に並列に接続されている第二の帰還抵抗  $R_3$  と、ドレイン・ソース端子を介して第二の帰還抵抗  $R_3$  に直列に接続されている第二のMOSトランジスタ  $TR_1$  (「第二の」帰還抵抗の番号に合わせて「第二」のMOSトランジスタとする。第一のMOSトランジスタは存在しない。) と、トランスインピーダンスアンプ2に並列に接続されている第三の帰還抵抗  $R_4$  と、ドレイン・ソース端子を介して第三の帰還抵抗  $R_4$  に直列に接続されている第三のMOSトランジスタ  $TR_2$  と、トランスインピーダンスアンプ2の出力信号の値に応じて、第二のMOSトランジスタ  $TR_1$  のみ、又は、第二のMOSトランジスタ  $TR_1$  と第三のMOSトランジスタ  $TR_2$  との双方をオンとするオン・オフ切替手段と、を備えている。

【0025】ダイオード  $RC$  のカソード端子は、トランスインピーダンスアンプ2の出力端子と共通である。

【0026】さらに、オン・オフ切替手段は、正相入力端子においてトランスインピーダンスアンプ2の出力信号  $V_{out}$  を入力し、かつ、逆相入力端子において第一の基準電圧  $V_1$  を入力する第一のコンパレータ3と、正相入力端子においてトランスインピーダンスアンプ2の出力信号  $V_{out}$  を入力し、かつ、逆相入力端子において第二の基準電圧  $V_2$  を入力する第二のコンパレータ4と、第一のコンパレータ3の出力に応じて第二のトランジスタ  $TR_1$  をオン・オフする第一のフリップ・フロップ回路5と、第二のコンパレータ4の出力に応じて第三のトランジスタ  $TR_2$  をオン・オフする第二のフリップ・フロップ回路6と、からなっている。

【0027】第一及び第二のコンパレータ3、4の出力は、第一及び第二のフリップ・フロップ回路5、6のC端子にそれぞれ入力される。第一及び第二のフリップ・フロップ回路5、6のD端子はともにハイレベルにプルアップされている。

【0028】第一のフリップ・フロップ回路5のQ端子は第二のトランジスタ  $TR_1$  のゲート端子に接続されており、第二のフリップ・フロップ回路6のQ端子は第三のトランジスタ  $TR_2$  のゲート端子に接続されている。

【0029】また、第一及び第二のフリップ・フロップ回路5、6の各R端子には、外部からリセット信号が入力される。リセット信号が入力されると、第一及び第二



のフリップ・フロップ回路5、6は初期化される。

【0030】以上のような構成を有する本実施形態に係るバースト光受信回路の動作を以下に説明する。

【0031】図1において、第二のトランジスタTR1及び第三のトランジスタTR2は、初期状態においては、OFFになっている。従って、初期状態におけるトランスインピーダンスアンプ2の帰還抵抗は、入力電流 $I_{in}$ が小さい場合には第一の帰還抵抗 $R_1$ に等しい。また、入力電流 $I_{in}$ が大きくなり、ダイオードRCが導通状態になった場合には、トランスインピーダンスアンプ2の帰還抵抗は抵抗 $R_2$ に等しくなる。

【0032】図2は、初期状態におけるトランスインピーダンスアンプ2の入出力特性、すなわち、入力電流( $I_{in}$ )と出力電圧( $V_{out}$ )との関係を示す。入力電流 $I_f$ に対応する出力電圧 $V_f$ はダイオードRCの順方向電圧を示し、 $I_{in} \geq I_f$ の時、ダイオードRCが導通状態となっていることを示す。

【0033】バースト光信号が入力し、入力電流 $I_{in}$ が第一の基準電流 $I_1$ よりも高くなると、トランスインピーダンスアンプ2の出力電圧 $V_{out}$ が第一の基準電圧 $V_1$ を超えるため、第一のコンパレータ3の出力はハイレベルとなる。

【0034】これに伴い、第一のフリップ・フロップ回路5のQ端子もハイレベルに変化し、Q端子とゲート端子において接続している第二のMOSトランジスタTR1はON状態になる。第二のMOSトランジスタTR1がONになることによって、トランスインピーダンスアンプ2の帰還抵抗は第一の帰還抵抗 $R_1$ と第二の帰還抵抗 $R_3$ との並列抵抗と等価になる。

【0035】さらに、入力電流 $I_{in}$ が第二の基準電流 $I_2$ よりも高くなると、トランスインピーダンスアンプ2の出力電圧 $V_{out}$ が第二の基準電圧 $V_2$ を超えるため、第二のコンパレータ4の出力はハイレベルとなる。

【0036】これに伴い、第二のフリップ・フロップ回路6のQ端子もハイレベルに変化し、Q端子とゲート端子において接続している第三のMOSトランジスタTR2はON状態となる。第三のMOSトランジスタTR2がONになることによって、トランスインピーダンスアンプ2の帰還抵抗は第一の帰還抵抗 $R_1$ と第二の帰還抵抗 $R_3$ と第三の帰還抵抗 $R_4$ との並列抵抗と等価になる。

【0037】以上の動作は、リセット信号が第一及び第二のフリップ・フロップ回路5、6の各R端子に入力された後、最初の1ビット目において行われる。

【0038】図3は、バースト光信号の各入力レベルに応じたタイムチャートである。

【0039】(a)はトランスインピーダンスアンプ2の入力電流( $I_{in}$ )の信号波形を示す。(b)はトランスインピーダンスアンプ2の出力電圧( $V_{out}$ )の信号波形を示す。(c)はリセット信号の波形を示す。

(d)及び(e)はそれぞれ第二のMOSトランジスタTR1及び第三のMOSトランジスタTR2のゲート電位のON/OFF状態を示す。(f)はトランスインピーダンスアンプ2の総帰還抵抗( $R_f$ )の値を示す。図3において、「//」の記号は並列抵抗であることを示す。

【0040】(b)に示す、トランスインピーダンスアンプ2の出力電圧 $V_{out}$ の信号波形に示す通り、最初の1ビットにおいて、入力レベルの検出が行われ、検出された入力レベルに応じて、直ちに最適な帰還抵抗が設定される。

【0041】これによって、2ビット目以降においては、歪みのない波形が出力される。

【0042】一つのバースト光信号の処理が終了すると、第一及び第二のフリップ・フロップ回路5、6の各R端子に外部からリセット信号が入力され、帰還抵抗は初期状態に設定される。

【0043】本実施形態に係るバースト光受信回路により、次のような効果を得ることができる。

【0044】第1の効果は、歪みの少ない出力波形を広いダイナミックレンジで得ることが可能になることである。その理由は、本実施形態に係るバースト光受信回路は、入力パワーのレベルに応じてアンプ利得すなわち帰還抵抗を任意の値に設定できる構成を有しているため、入力レベルの全範囲においてリニア増幅を行うことが可能であるからである。

【0045】特に、バースト光受信回路において多用されるDC結合系回路では、入力オフセットを有する光信号が入力されると、飽和による波形歪みの影響を受けやすいため、この第1の効果は極めて有意義である。

【0046】第2の効果は、1ビット内において瞬時に応答することが可能であることである。その理由は、1ビット目の立ち上がりエッジにおいて入力レベルを検出し、直ちに最適な帰還抵抗に切り換える構成を有しているからである。

【0047】特に、バースト光受信回路においては、瞬時の応答は必須であるため、この第2の効果は有意義である。

【0048】第3の効果は、入力パワーレベルの異なるバースト光信号が交互に入力された場合であっても、正常にそれらを受信することが可能であることである。その理由は、リセット信号により、バースト上周期毎にバースト光受信回路を初期化する構成を有しているからである。

【0049】(第二の実施形態)図4は、本発明の第二の実施形態に係るバースト光受信回路のブロック図である。

【0050】本実施形態に係るバースト光受信回路は、受信した光信号を電流 $I_{in}$ に変換する受光素子1と、電流 $I_{in}$ を電圧信号に変換するトランスインピーダンスア

ンプ2と、トランスインピーダンスアンプ2に並列に接続された第一の帰還抵抗 $R_1$ と、トランスインピーダンスアンプ2に並列に接続された抵抗 $R_2$ と、抵抗 $R_2$ に直列に接続されたダイオード $RC$ と、トランスインピーダンスアンプ2に並列に接続されている第二の帰還抵抗 $R_3$ と、ドレイン・ソース端子を介して第二の帰還抵抗 $R_3$ に直列に接続されている第二のMOSトランジスタ $TR_1$ と、トランスインピーダンスアンプ2に並列に接続されている第三の帰還抵抗 $R_4$ と、ドレイン・ソース端子を介して第三の帰還抵抗 $R_4$ に直列に接続されている第三のMOSトランジスタ $TR_2$ と、トランスインピーダンスアンプ2に並列に接続されている第四の帰還抵抗 $R_5$ と、ドレイン・ソース端子を介して第四の帰還抵抗 $R_5$ に直列に接続されている第四のMOSトランジスタ $TR_3$ と、トランスインピーダンスアンプ2の出力信号の値に応じて、第二のMOSトランジスタ $TR_1$ のみ、第二のMOSトランジスタ $TR_1$ と第三のMOSトランジスタ $TR_2$ との双方、又は、第二のMOSトランジスタ $TR_1$ と第三のMOSトランジスタ $TR_2$ と第四のMOSトランジスタ $TR_3$ の全て、をオンとするオン・オフ切替手段と、を備えている。

【0051】ダイオード $RC$ のカソード端子は、トランスインピーダンスアンプ2の出力端子と共通である。

【0052】さらに、オン・オフ切替手段は、正相入力端子においてトランスインピーダンスアンプ2の出力信号 $V_{out}$ を入力し、かつ、逆相入力端子において第一の基準電圧 $V_1$ を入力する第一のコンパレータ3と、正相入力端子においてトランスインピーダンスアンプ2の出力信号 $V_{out}$ を入力し、かつ、逆相入力端子において第二の基準電圧 $V_2$ を入力する第二のコンパレータ4と、正相入力端子においてトランスインピーダンスアンプ2の出力信号 $V_{out}$ を入力し、かつ、逆相入力端子において第三の基準電圧 $V_3$ を入力する第二のコンパレータ7と、第一のコンパレータ3の出力に応じて第二のトランジスタ $TR_1$ をオン・オフする第一のフリップ・フロップ回路5と、第二のコンパレータ4の出力に応じて第三のトランジスタ $TR_2$ をオン・オフする第二のフリップ・フロップ回路6と、第三のコンパレータ7の出力に応じて第四のトランジスタ $TR_3$ をオン・オフする第三のフリップ・フロップ回路8と、からなっている。

【0053】第一乃至第三のコンパレータ3、4、7の出力は、第一乃至第三のフリップ・フロップ回路5、6、8のC端子にそれぞれ入力される。第一乃至第三のフリップ・フロップ回路5、6、8のD端子はともにハイレベルにプルアップされている。

【0054】第一のフリップ・フロップ回路5のQ端子は第二のトランジスタ $TR_1$ のゲート端子に接続され、第二のフリップ・フロップ回路6のQ端子は第三のトランジスタ $TR_2$ のゲート端子に接続され、第三のフリップ・フロップ回路8のQ端子は第四のトランジスタ $TR$

3のゲート端子に接続されている。

【0055】また、第一乃至第三のフリップ・フロップ回路5、6、8の各R端子には、外部からリセット信号が入力される。リセット信号が入力されると、第一乃至第三のフリップ・フロップ回路5、6、8は初期化される。

【0056】以上のような構成を有する本実施形態に係るバースト光受信回路の動作を以下に説明する。

【0057】図4において、第二のトランジスタ $TR_1$ 、第三のトランジスタ $TR_2$ 及び第四のトランジスタ $TR_3$ は、初期状態においては、OFFになっている。従って、初期状態におけるトランスインピーダンスアンプ2の帰還抵抗は、入力電流 $I_{in}$ が小さい場合には第一の帰還抵抗 $R_1$ に等しい。また、入力電流 $I_{in}$ が大きくなり、ダイオード $RC$ が導通状態になった場合には、トランスインピーダンスアンプ2の帰還抵抗は抵抗 $R_2$ に等しくなる。

【0058】バースト光信号が入力し、入力電流 $I_{in}$ が第一の基準電流 $I_1$ よりも高くなると、トランスインピーダンスアンプ2の出力電圧 $V_{out}$ が第一の基準電圧 $V_1$ を超えるため、第一のコンパレータ3の出力はハイレベルとなる。

【0059】これに伴い、第一のフリップ・フロップ回路5のQ端子もハイレベルに変化し、Q端子とゲート端子において接続している第二のMOSトランジスタ $TR_1$ はON状態になる。第二のMOSトランジスタ $TR_1$ がONになることによって、トランスインピーダンスアンプ2の帰還抵抗は第一の帰還抵抗 $R_1$ と第二の帰還抵抗 $R_3$ との並列抵抗と等価になる。

【0060】さらに、入力電流 $I_{in}$ が第二の基準電流 $I_2$ よりも高くなると、トランスインピーダンスアンプ2の出力電圧 $V_{out}$ が第二の基準電圧 $V_2$ を超えるため、第二のコンパレータ4の出力はハイレベルとなる。

【0061】これに伴い、第二のフリップ・フロップ回路6のQ端子もハイレベルに変化し、Q端子とゲート端子において接続している第三のMOSトランジスタ $TR_2$ はON状態となる。第三のMOSトランジスタ $TR_2$ がONになることによって、トランスインピーダンスアンプ2の帰還抵抗は第一の帰還抵抗 $R_1$ と第二の帰還抵抗 $R_3$ と第三の帰還抵抗 $R_4$ との並列抵抗と等価になる。

【0062】さらに、入力電流 $I_{in}$ が第三の基準電流 $I_3$ よりも高くなると、トランスインピーダンスアンプ2の出力電圧 $V_{out}$ が第三の基準電圧 $V_3$ を超えるため、第三のコンパレータ7の出力はハイレベルとなる。

【0063】これに伴い、第三のフリップ・フロップ回路8のQ端子もハイレベルに変化し、Q端子とゲート端子において接続している第四のMOSトランジスタ $TR_3$ はON状態となる。第四のMOSトランジスタ $TR_3$ がONになることによって、トランスインピーダンスア

ンプ2の帰還抵抗は第一の帰還抵抗R1と第二の帰還抵抗R3と第三の帰還抵抗R4と第四の帰還抵抗R5の4個の帰還抵抗の並列抵抗と等価になる。

【0064】以上の動作は、リセット信号が第一乃至第三のフリップ・フロップ回路5、6、8の各R端子に入力された後、最初の1ビット目において行われる。

【0065】本実施形態に係るバースト光受信回路においても、第一の実施形態において図3を参照して説明した場合と同様に、最初の1ビットにおいて、入力レベルの検出が行われ、検出された入力レベルに応じて、直ちに最適な帰還抵抗が設定される。

【0066】これによって、2ビット目以降においては、歪みのない波形が出力される。

【0067】一つのバースト光信号の処理が終了すると、第一乃至第三のフリップ・フロップ回路5、6、8の各R端子に外部からリセット信号が入力され、帰還抵抗は初期状態に設定される。

【0068】本実施形態に係るバースト光受信回路によっても、前述の第一の実施形態に係るバースト光受信回路と同様の効果を得ることができる。

【0069】特に、本実施形態に係るバースト光受信回路は、第一の実施形態に係るバースト光受信回路と比較して、第三のコンパレータ7、第三のフリップ・フロップ回路8、第四の帰還抵抗R5、第四のMOSトランジスタTR3を追加的に備えることにより、トランスインピーダンスアンプ2に対する総帰還抵抗を4値に切り換えることができる構成となっている。このため、帰還抵抗を3値に切り換える構成となっている第一の実施形態に係るバースト光受信回路と比較して、受信ダイナミックレンジをさらに拡大することが可能である。

【0070】本発明の技術分野における通常の知識を有する者であれば、図1に示した第一の実施形態に係るバースト光受信回路及び図4に示した第二の実施形態に係るバースト光受信回路の各構成から容易に類推し得るように、帰還抵抗の数は任意の数に設定することができる。

【0071】すなわち、本発明に係るバースト光受信回路においては、Nを2以上の正の整数とすると、第一の帰還抵抗R1の他に、第二の帰還抵抗R2から第Nの帰還抵抗RNまでの(N-1)個の帰還抵抗を設定することが可能である。

【0072】この場合、第二の帰還抵抗R2から第Nの帰還抵抗RNまでの(N-1)個の帰還抵抗に対応して、第二から第Nまでの(N-1)個のMOSトランジスタと、第二から第Nまでの(N-1)個のコンパレータと、第二から第Nまでの(N-1)個のフリップ・フロップ回路とが追加的に設けられる。

【0073】このように、帰還抵抗の数を任意の数Nに設定することにより、トランスインピーダンスアンプ2に対する総帰還抵抗をN値に切り換えることができ、受

信ダイナミックレンジの範囲を調整することが可能である。

【0074】なお、上述の第一の実施形態はN=3の場合であり、第二の実施形態はN=4の場合である。

【0075】

【発明の効果】以上のように、本発明に係るバースト光受信回路によれば、入力パワーのレベルに応じて帰還抵抗を任意の値に切り替えることができるため、歪みの少ない出力波形を広いダイナミックレンジで得ることが可能である。

【0076】さらに、本発明に係るバースト光受信回路によれば、1ビット目の立ち上がりエッジにおいて入力レベルを検出し、直ちに最適な帰還抵抗に切り換える構成を有しているため、帰還抵抗値の切り替えは1ビット内において瞬時に行うことが可能である。

【図面の簡単な説明】

【図1】本発明の第一の実施形態に係るバースト光受信回路のブロック図である。

【図2】初期状態におけるトランスインピーダンスアンプの入力電流(Iin)と出力電圧(Vout)との関係を示すグラフである。

【図3】バースト光信号の各入力レベルに応じたタイムチャートである。

【図4】本発明の第二の実施形態に係るバースト光受信回路のブロック図である。

【図5】従来のバースト光受信回路のブロック図である。

【図6】従来のバースト光受信回路におけるトランスインピーダンスアンプの入力電流(Iin)と出力電圧(Vout)との関係を示すグラフである。

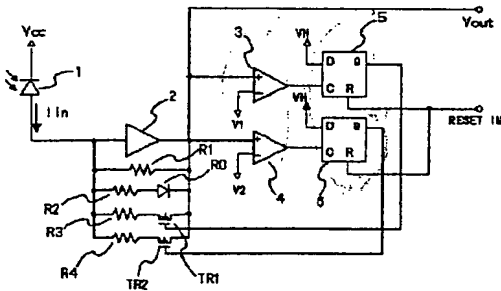
【図7】従来のPON(Passive Optical Network)の一例を示すシステムブロック図である。

【符号の説明】

- 1 受光素子
- 2 トランスインピーダンスアンプ
- 3 第一のコンパレータ
- 4 第二のコンパレータ
- 7 第三のコンパレータ
- 5 第一のフリップ・フロップ回路
- 6 第二のフリップ・フロップ回路
- 8 第三のフリップ・フロップ回路
- R1 第一の帰還抵抗
- R2 抵抗
- RC ダイオード
- R3 第二の帰還抵抗
- R4 第三の帰還抵抗
- R5 第四の帰還抵抗
- TR1 第二のMOSトランジスタ
- TR2 第三のMOSトランジスタ

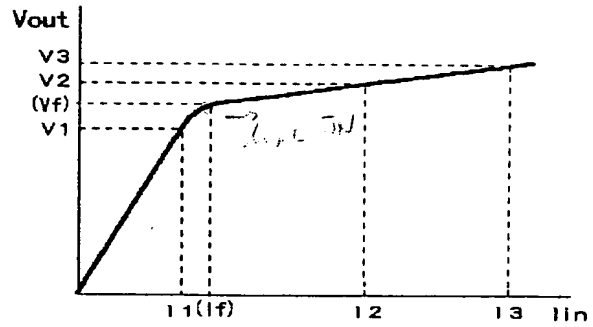
TR3 第四のMOSトランジスタ

【図1】

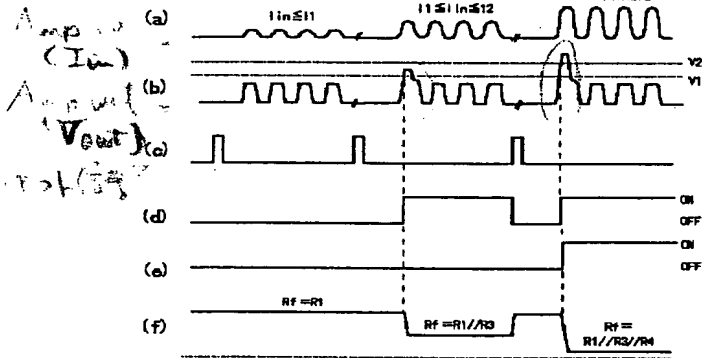


- 1: 光検出素子  
2: トランスインピーダンスアンプ  
3: 第一のコンパレータ  
4: 第二のコンパレータ  
5: 第三のコンパレータ  
6: 第三のフリップ・フロップ回路  
7: 第四のフリップ・フロップ回路  
8: 第四のフリップ・フロップ回路
- R1: 第一の抵抗素子  
R2: 第二の抵抗素子  
R3: 第三の抵抗素子  
R4: 第四の抵抗素子  
R5: 第五の抵抗素子  
TR1: 第一のMOSトランジスタ  
TR2: 第二のMOSトランジスタ

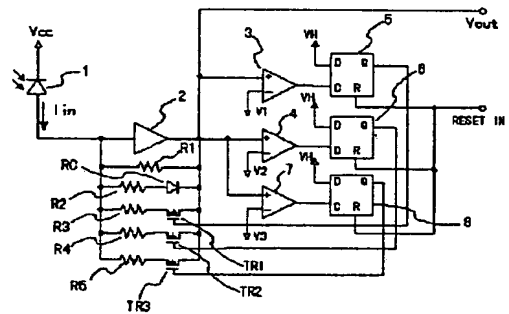
【図2】



【図3】

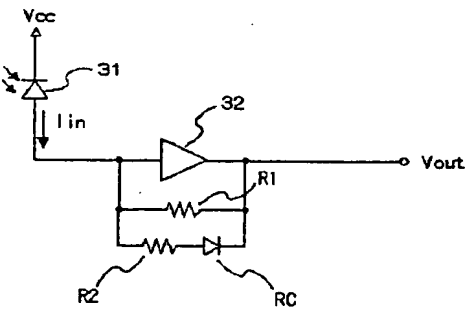


【図4】



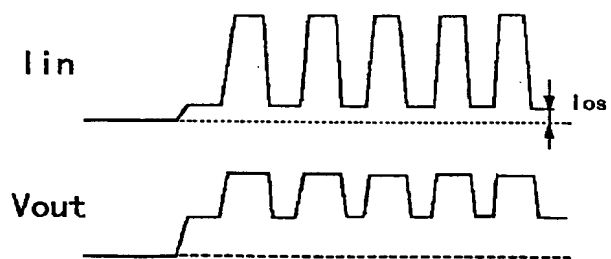
- 7: 第三のコンパレータ  
8: 第三のフリップ・フロップ回路  
TR3: 第三のMOSトランジスタ  
R5: 第五の抵抗素子

【図5】

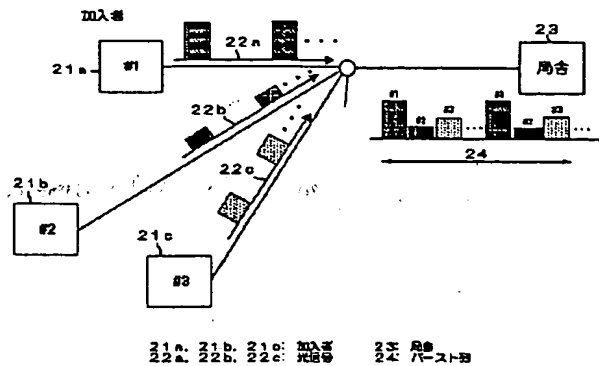


- 31: 光検出素子  
32: トランスインピーダンスアンプ

【図6】



【図7】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

10/26

10/14

10/04

10/06

Fターム(参考) 5J090 AA01 AA56 CA21 CA32 FA18  
 GN01 GN06 HA10 HA19 HA25  
 HA39 HA44 HN07 HN15 KA17  
 KA27 KA36 SA13 TA02 TA06  
 5J092 AA01 AA56 CA21 CA32 FA18  
 HA10 HA19 HA25 HA39 HA44  
 KA17 KA27 KA36 SA13 TA02  
 TA06 UL01  
 5J100 JA01 KA05 LA00 LA09 LA10  
 QA01 QA04 SA02  
 5K002 AA03 CA01

4900 TRIALAYA 1815

**THIS PAGE BLANK (USPTO)**